

## DISPLAY DEVICE AND DRIVING CIRCUIT OF DISPLAY PANEL

**Publication number:** JP2001042827

**Publication date:** 2001-02-16

**Inventor:** ISHIZUKA SHINICHI; TSUCHIDA MASAMI;  
SAKAMOTO TSUYOSHI; OCHI HIDEO

**Applicant:** PIONEER ELECTRONIC CORP

**Classification:**

- **international:** G09G3/30; G09F9/30; G09G3/20; G09G3/32;  
H01L27/32; G09G3/36; G09G3/30; G09F9/30;  
G09G3/20; G09G3/32; H01L27/28; G09G3/36; (IPC1-7):  
G09G3/30; G09F9/30; G09G3/20

- **european:** G09G3/32A

**Application number:** JP19990219782 19990803

**Priority number(s):** JP19990219782 19990803

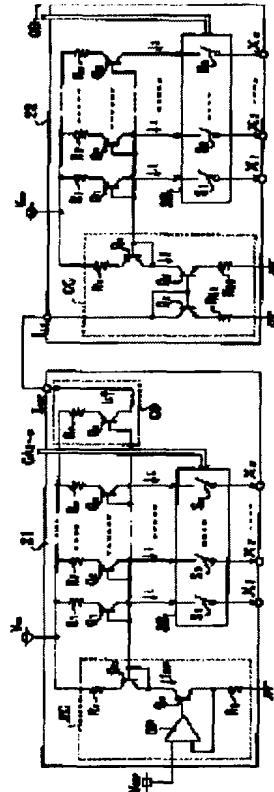
**Also published as:**

US6756951 (B)

[Report a data error](#) [Help](#)

### Abstract of JP2001042827

**PROBLEM TO BE SOLVED:** To make light emitting luminance on a display possible to be uniform at the time of constituting an anode line drive circuit of plural IC chips by controlling the amount of light emitting driving current to be outputted by a first anode line driven circuit based on the light emitting current outputted by a second anode line drive circuit. **SOLUTION:** A current source (transistors Q1 to Qm) is provided in anode line drive circuits 21 and 22 to generate a light emitting driving current. Moreover, a driving current control circuit CC, which maintains the light emitting driving current at an amount of current corresponding to an inputted control current, is provided. Furthermore, a control current output circuit CO is provided to output a light emitting driving current itself as a control current. At the time of driving anode lines of a display panel by plural anode line drive circuits 21 and 22 constructed in individual IC chips, the first and anode line driving circuit 21 controls the amount of light emitting driving current to be outputted based on the actually outputted light emitting drive current by a second anode line drive circuit 22.



**Family list**

2 family members for:

**JP2001042827**

Derived from 2 applications.

[Back to JP200](#)**1 DISPLAY DEVICE AND DRIVING CIRCUIT OF DISPLAY PANEL**

Inventor: ISHIZUKA SHINICHI; TSUCHIDA MASAMI;      Applicant: PIONEER ELECTRONIC CORP

(+2)

EC: G09G3/32A

IPC: G09G3/30; G09F9/30; G09G3/20 (+12)

Publication info: **JP2001042827 A** - 2001-02-16**2 Display apparatus and driving circuit of display panel**

Inventor: ISHIZUKA SHINICHI (JP); TSUCHIDA MASAMI Applicant: PIONEER CORP (JP)

(JP); (+2)

EC: G09G3/32A

IPC: G09G3/30; G09F9/30; G09G3/20 (+10)

Publication info: **US6756951 B1** - 2004-06-29Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-42827

(P2001-42827A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコト <sup>8</sup> (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 5 C 0 8 0
G 0 9 F 9/30	3 6 5	G 0 9 F 9/30	3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 3		6 2 3 A
	6 4 2		6 4 2 B

審査請求 未請求 請求項の数15 OL (全13頁)

(21)出願番号 特願平11-219782

(22)出願日 平成11年8月3日(1999.8.3)

(71)出願人 000005016  
バイオニア株式会社  
東京都目黒区目黒1丁目4番1号  
(72)発明者 石塚 真一  
埼玉県鶴ヶ島市富士見6丁目1番1号 バ  
イオニア株式会社総合研究所内  
(72)発明者 土田 正美  
埼玉県鶴ヶ島市富士見6丁目1番1号 バ  
イオニア株式会社総合研究所内  
(74)代理人 100079119  
弁理士 藤村 元彦

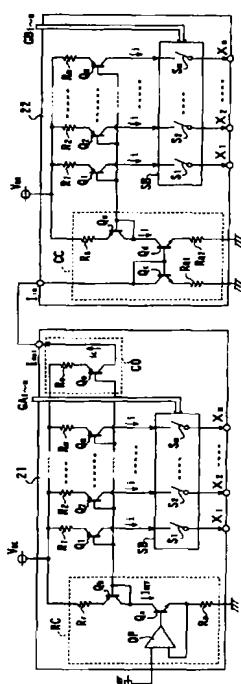
最終頁に続く

(54)【発明の名称】ディスプレイ装置及びディスプレイパネルの駆動回路

(57)【要約】

【課題】陽極線ドライブ回路を複数のICチップで構築した際にもディスプレイパネル上での発光輝度を均一にすることが出来るディスプレイ装置及びディスプレイパネルの駆動回路を提供することを目的とする。

【解決手段】各々が、ディスプレイパネルの発光素子を発光させる発光駆動電流を発生して、このディスプレイパネルの第1電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、これら駆動回路の内の少なくとも1には、他の駆動回路が発生した発光駆動電流に基づいて、この駆動回路が発生すべき発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられている。



## 【特許請求の範囲】

【請求項1】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であって、

前記駆動部は、各々が前記発光素子を発光させる発光駆動電流を発生して前記第1電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、複数の前記駆動回路の内の少なくとも1には、他の前記駆動回路が発生した前記発光駆動電流に基づいて前記1の前記駆動回路が発生すべき前記発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられていることを特徴とするディスプレイ装置。

【請求項2】 複数の前記駆動回路の内の1には、該駆動回路が発生すべき前記発光駆動電流の電流量を所定の基準電流に維持させるべく制御する基準電流制御回路が設けられていることを特徴とする請求項1記載のディスプレイ装置。

【請求項3】 前記発光駆動電流源の各々と、前記駆動電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項1記載のディスプレイ装置。

【請求項4】 前記発光駆動電流源の各々と、前記基準電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項2記載のディスプレイ装置。

【請求項5】 前記第2電極線の各々に順次アース電位を印加して行くと共に前記アース電位の印加されていない他の前記第2電極線の全てに所定の高電位を印加する走査回路を備えたことを特徴とする請求項1記載のディスプレイ装置。

【請求項6】 前記発光素子の各々は、有機エレクトロルミネッセンス素子であることを特徴とする請求項1記載のディスプレイ装置。

【請求項7】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルを発光駆動せしめる駆動回路であって、

前記発光素子を発光させる発光駆動電流を発生してこれを前記第1電極線各々の内の一部の電極群に供給する発光駆動電流源と、

入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、

前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路と、からなることを特徴とする駆動回路。

【請求項8】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であって、

前記駆動部は、各々が、前記発光素子を発光させる発光駆動電流を発生してこれを前記第1電極線各々の内の一一部の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路とを有する複数の駆動回路からなり、

前記駆動回路各々の前記駆動電流制御回路は、他の前記駆動回路が出力した前記制御電流を前記入力制御電流とすることを特徴とするディスプレイ装置。

【請求項9】 複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを駆動する駆動回路と、を備えたディスプレイ装置であって、

前記駆動回路は、前記発光素子を発光させる電流を発生してこれを第1発光駆動電流として前記第1電極線各々の内の第1電極群に供給する第1駆動回路と、前記発光素子を発光させる電流を発生してこれを第2発光駆動電流として前記第1電極線各々の内の第2電極群に供給する第2駆動回路とを有し、

前記第2駆動回路は、前記第1発光駆動電流に基づいて前記第2発光駆動電流の電流量を調整することを特徴とするディスプレイ装置。

【請求項10】 前記第1駆動回路は、前記第1電極群に供給すべき前記第1発光駆動電流の各々を発生する複数の第1発光駆動電流源と、前記第1発光駆動電流を所定の基準電流に維持させるべく制御する基準電流制御回路と、前記第1発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路と、からなり、

前記第2駆動回路は、前記第2電極群に供給すべき前記第2発光駆動電流の各々を発生する複数の第2発光駆動電流源と、前記制御電流に基づいて前記第2発光駆動電流の電流量を調整する駆動電流制御回路と、からなることを特徴とする請求項9記載のディスプレイ装置。

【請求項11】 前記第1発光駆動電流源の各々と、前記基準電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項10記載のディスプレイ装置。

【請求項12】 前記第2発光駆動電流源の各々と、前記駆動電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項10記載のディスプレイ装置。

【請求項13】 前記第2電極線の各々に順次アース電位を印加して行くと共に前記アース電位の印加されていない他の前記第2電極線の全てに所定の高電位を印加する走査回路を備えたことを特徴とする請求項9記載のディスプレイ装置。

【請求項14】 前記発光素子の各々は、有機エレクトロルミネッセンス素子であることを特徴とする請求項9記載のディスプレイ装置。

【請求項15】前記第1駆動回路及び前記第2駆動回路の各々は、互いに異なる2つのICチップ内に夫々構築されることを特徴とする請求項9記載のディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、有機エレクトロルミネセンス素子等の自発光素子からなるディスプレイパネルを用いたディスプレイ装置、及びその駆動回路に関する。

【0002】

【従来の技術】薄型で低消費電力なディスプレイ装置を実現する為の自発光素子として、有機エレクトロルミネッセンス(以下、ELと称する)素子が知られている。図1は、かかるEL素子の概略構成を示す図である。図1に示されるように、EL素子は、透明電極101が形成されたガラス板等からなる透明基板100上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも1層の有機機能層102、及び金属電極103が積層されたものである。

【0003】図2は、かかるEL素子の特性を電気的に示す等価回路である。図2に示されるように、EL素子は、容量成分Cと、該容量成分に並列に結合するダイオード特性の成分Eとによって置き換えることができる。ここで、透明電極101の陽極にプラス、金属電極103の陰極にマイナスの電圧を加えて透明電極及び金属電極間に直流を印加すると、容量成分Cに電荷が蓄積される。この際、EL素子固有の障壁電圧または発光閾値電圧を越えると、電極(ダイオード成分Eの陽極側)から発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で有機機能層102が発光する。

【0004】図3は、複数の上記EL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。図3において、ELディスプレイパネルとしてのELDP10には、第1表示ライン～第n表示ライン各々を担う陰極線(金属電極)B1～Bnと、これら陰極線B1～Bn各々に交叉して配列されたm個の陽極線(透明電極)A1～Anが形成されている。これら陰極線B1～Bn及び陽極線A1～Anの交差部分の各々に、上述した如き構造を有するEL素子E11～Enmが形成されている。尚、これらEL素子E11～Enm各々は、ELDP10としての1画素を担うものである。

【0005】発光制御回路1は、入力された1画面分(n行、m列)の画像データを、ELDP10の各画素、すなわち上記EL素子E11～Enmの各々に対応した画素データ群D11～Dnmに変換し、これらを図4に示されるが如く、1行分毎に順次、陽極線ドライブ回路2に供給して行く。例えば、画素データD11～D1mとは、ELDP10の第1表示ラインに属するEL素子E11～Em各々

々に対して発光を実施させるか否かを指定するm個のデータビットであり、夫々、論理レベル"1"である場合には"発光"、論理レベル"0"である場合には"非発光"を示す。

【0006】又、発光制御回路1は、図4に示されるが如き1行分毎の画素データの供給タイミングに同期して、ELDP10の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路3に供給する。陽極線ドライブ回路2は、先ず、上記画素データ群におけるm個のデータビットの内から、"発光"を指定する論理レベル"1"のデータビットを全て抽出する。次に、この抽出したデータビット各々に対応した"列"に属する陽極線を陽極線A1～Anの内から全て選択し、この選択した陽極線のみに定電流源を接続し、所定の画素駆動電流iを供給する。

【0007】陰極線走査回路3は、上記陰極線B1～Bnの内から、上記走査線選択制御信号で示される表示ラインに対応した陰極線を逐一的に選択してこの陰極線をアース電位に設定すると共に、その他の陰極線の各々に所定の高電位Vccを夫々印加する。尚、かかる高電位Vccは、EL素子が所望の輝度で発光しているときの両端電圧(寄生容量Cへの充電量に基づいて決定する電圧)とほぼ同一値に設定される。

【0008】この際、上記陽極線ドライブ回路2によって上記定電流源が接続された"列"と、上記陰極線走査回路3にてアース電位に設定された表示ラインとの間には発光駆動電流が流れ、かかる表示ライン及び"列"に交叉して形成されているEL素子は、この発光駆動電流に応じて発光する。一方、上記陰極線走査回路3によって高電位Vccに設定された表示ラインと、上記定電流源が接続された"列"との間には電流が流れ込まないので、かかる表示ライン及び"列"に交叉して形成されているEL素子は非発光のままである。

【0009】以上の如き動作が、画素データ群D11～D1m、D21～D2m、…、Dn1～Dnm各々に基づいて実施されると、ELDP10の画面上には、入力された画像データに応じた1フィールド分の発光パターン、つまり画像が表示されるのである。ここで、近年、ディスプレイパネルの大画面化を実現するにあたり、表示ライン、つまり上記陰極線Bの本数を増加すると共に、陽極線Aの本数を増加して画面の高精細化を行う必要が生じてきた。従って、これら陽極線A及び陰極線B各々の本数の増加につれ、陽極線ドライブ回路2及び陰極線走査回路3各々の回路規模も増大するので、両者をIC化するにあたり、チップ面積の増大に伴う歩留まりの悪化が懸念される。そこで、これら陽極線ドライブ回路2及び陰極線走査回路3各々を、夫々複数のICチップで構築することが考えられた。

【0010】ところが、陽極線ドライブ回路2を複数のICチップで構築すると、製造上のバラツキ等により、

各ICチップ間で、上記陽極線に供給すべき発光駆動電流の電流量が異なってしまう場合がある。よって、かかる発光駆動電流の違いによりELDP10'の画面上には互いに輝度の異なる領域ができてしまうという問題があった。

#### 【0011】

【発明が解決しようとする課題】本発明は、かかる問題を解決せんとして為されたものであり、陽極線ドライブ回路を複数のICチップで構築した際にも、ディスプレイパネル上での発光輝度を均一にすることが出来るディスプレイ装置及びディスプレイパネルの駆動回路を提供することである。

#### 【0012】

【課題を解決するための手段】本発明によるディスプレイ装置は、複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であって、前記駆動部は、各々が前記発光素子を発光させる発光駆動電流を発生して前記第1電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、複数の前記駆動回路の内の少なくとも1には、他の前記駆動回路が発生した前記発光駆動電流に基づいて前記1の前記駆動回路が発生すべき前記発光駆動電流の電流量の調整を行なう駆動電流制御回路が設けられている。

【0013】又、本発明によるディスプレイパネルの駆動回路は、複数の第1電極線と前記第1電極線各々に交叉して配列された複数の第2電極線との各交叉部に1画素を担う発光素子が形成されてなるディスプレイパネルを発光駆動せしめる駆動回路であって、前記発光素子を発光させる発光駆動電流を発生してこれを前記第1電極線各々の内の一一部の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路とからなる。

#### 【0014】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図5は、本発明によるELディスプレイ装置の概略構成を示す図である。図5において、ELディスプレイパネルとしてのELDP10'には、第1表示ライン～第n表示ライン各々を担う陰極線(金属電極)B1～Bnと、これら陰極線B1～Bn各々に交叉して配列された2m個の陽極線(透明電極)A1～A2mが形成されている。これら陰極線B1～Bn及び陽極線A1～A2m各々の交叉部に、図1に示されるが如き構造を有するEL素子E1,1～E1,2mが形成されている。尚、これらEL素子E1,1～E1,2m各々は、ELDP10'としての1画素を担うものである。

【0015】発光制御回路1'は、図6に示されるように、上記ELDP10'の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路30に供給する。陰極線走査回路30は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記ELDP10'の陰極線B1～Bnの内から逐一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位Vccを夫々印加する。

【0016】又、発光制御回路1'は、入力された1画面分(n行、2m列)の画像データをELDP10'の各画素、すなわち上記EL素子E1,1～E1,2m各々に対応した画素データD1,1～D1,2mに変換し、これを第1列～第m列に属するものと、第m+1列～第2m列に属するものとに分割する。この際、上記第1列～第m列に属する画素データを1表示ライン毎にグループ化した画素データD1,1～D1,2m、D2,1～D2,2m、D3,1～D3,2m、…、及びDn,1～Dn,2m各々を、図6に示されるが如き第1駆動データG A1～mとして、順次、第1陽極線ドライブ回路21に供給する。これと同時に、発光制御回路1'は、上記第m+1列～第2m列に属する画素データを1表示ライン毎にグループ化した画素データD1,m+1～D1,2m、D2,m+1～D2,2m、D3,m+1～D3,2m、…、及びDn,m+1～Dn,2m各々を、図6に示されるが如き第2駆動データG B1～mとして、順次、第2陽極線ドライブ回路22に供給する。尚、これら第1駆動データG A1～m及び第2駆動データG B1～mの各々は、図6に示されるように、上記走査線選択制御信号に同期して順次、第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々に供給される。この際、上記第1駆動データ群G A1～mとは、ELDP10'の各表示ラインの第1列～第m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。又、上記第2駆動データ群G B1～mとは、ELDP10'の各表示ラインの第m+1列～第2m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。例えば、かかるデータビットが論理レベル"1"である場合には発光を実施させる一方、"0"である場合には発光を実施させない。

【0017】図7は、本発明による駆動回路としての上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22各々の内部構成を示す図である。尚、上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々は、互いに異なる2つのICチップ内に夫々構築される。図7において、第1陽極線ドライブ回路21は、基準電流制御回路RC、制御電流输出回路CO、スイッチブロックSB、並びに、m個の電流駆動源としてのトランジスタQ1～Qm及び抵抗R1～Rmから構成される。

【0018】基準電流制御回路RCにおけるトランジス

タ  $Q_b$  のエミッタには抵抗  $R_o$  を介して所定電圧  $V_{BE}$  が接続されており、そのベース及びコレクタにはトランジスタ  $Q_a$  のコレクタが接続されている。演算増幅器  $OP$  には所定の基準電位  $V_{REF}$  と、トランジスタ  $Q_a$  のエミッタ電位が入力されており、その出力電位は、トランジスタ  $Q_a$  のベースに入力される。トランジスタ  $Q_a$  のエミッタは、抵抗  $R_P$  を介してアース電位に接地されている。以上の如き構成により、トランジスタ  $Q_a$  のコレクターエミッタ間には基準電流  $I_{REF}$  ( $= V_{REF} / R_P$ ) が流れることになる。

【0019】トランジスタ  $Q_1 \sim Q_n$  各々のエミッタには、抵抗  $R_1 \sim R_n$  各々を介して画素駆動電位  $V_{BE}$  が印加されており、更に、夫々のベースには上記トランジスタ  $Q_b$  のベースが接続されている。この際、上記抵抗  $R_r$  及び  $R_1 \sim R_n$  各々の抵抗値は同一であり、更に、上記トランジスタ  $Q_1 \sim Q_n$ 、  $Q_a$  及び  $Q_b$  の各々は、互いに同一特性を有するものである。よって、上記基準電流制御回路  $RC$  と、トランジスタ  $Q_1 \sim Q_n$  とは電流ミラー回路を構成することになり、トランジスタ  $Q_1 \sim Q_n$  各々のエミッタ・コレクタ間には、上記基準電流  $I_{REF}$  と同一の電流値を有する発光駆動電流  $i$  が流れ、これが出力されることになる。

【0020】スイッチブロック  $SB$  には、上記トランジスタ  $Q_1 \sim Q_n$  各々から出力された発光駆動電流  $i$  を夫々、出力端  $X_1 \sim X_n$  の各々に導出する  $m$  個のスイッチング素子  $S_1 \sim S_m$  が設けられている。この際、第1陽極線ドライブ回路  $2_1$  のスイッチブロック  $SB$  では、上記発光制御回路  $1'$  から供給された第1駆動データ  $G A_1 \sim G A_n$  各々の論理レベルに応じて、上記スイッチング素子  $S_1 \sim S_m$  各々が独立してオン／オフ制御される。例えば、第1駆動データ  $G A_1$  が論理レベル "0" のときには、スイッチング素子  $S_1$  はオフ状態となる一方、かかる第1駆動データ  $G A_1$  が論理レベル "1" のときには、オン状態となってトランジスタ  $Q_1$  から供給された発光駆動電流  $i$  を出力端  $X_1$  に導出する。又、第1駆動データ  $G A_n$  が論理レベル "0" のときには、スイッチング素子  $S_n$  はオフ状態となる一方、論理レベル "1" である場合にはオン状態となってトランジスタ  $Q_n$  から供給された発光駆動電流  $i$  を出力端  $X_n$  に導出する。このように、上記トランジスタ  $Q_1 \sim Q_n$  の各々から出力された発光駆動電流  $i$  は、出力端  $X_1 \sim X_n$  の各々を介して、図5に示されるが如く、  $ELDP10'$  の陽極線  $A_1 \sim A_n$  の各々に供給される。

【0021】制御電流出力回路  $CO$  におけるトランジスタ  $Q_o$  のエミッタには抵抗  $R_o$  を介して画素駆動電位  $V_{BE}$  が印加されており、そのベースには上記基準電流制御回路  $RC$  におけるトランジスタ  $Q_b$  のベースが接続されている。この際、上記抵抗  $R_o$  の抵抗値は、基準電流制御回路  $RC$  における抵抗  $R_P$  と同一であり、更に、トランジスタ  $Q_o$  は、基準電流制御回路  $RC$  におけるトランジ

スタ  $Q_a$  及び  $Q_b$  各々と同一特性を有するものである。よって、制御電流出力回路  $CO$  におけるトランジスタ  $Q_o$  と、上記基準電流制御回路  $RC$  とは電流ミラー回路を形成することになり、上記トランジスタ  $Q_o$  のエミッタ・コレクタ間には、上記基準電流  $I_{REF}$  と同一電流量の電流が流れる。制御電流出力回路  $CO$  は、かかる電流を制御電流  $i_c$  とし、これを出力端  $I_{out}$  を介して第2陽極線ドライブ回路  $2_2$  の入力端  $I_{in}$  に供給する。つまり、第1陽極線ドライブ回路  $2_1$  が  $ELDP10'$  の陽極線  $A_1 \sim A_n$  の各々に供給する発光駆動電流  $i$  と同一の電流が、制御電流  $i_c$  として第2陽極線ドライブ回路  $2_2$  に供給されるのである。

【0022】第2陽極線ドライブ回路  $2_2$  は、駆動電流制御回路  $CC$  、スイッチブロック  $SB$  、並びに、  $m$  個の電流駆動源としてのトランジスタ  $Q_1 \sim Q_n$  及び抵抗  $R_1 \sim R_n$  から構成される。駆動電流制御回路  $CC$  におけるトランジスタ  $Q_c$  のコレクタ及びベースは、上記入力端  $I_{in}$  に接続されており、そのエミッタは抵抗  $R_{Q1}$  を介してアース電位に接地されている。よって、上記第1陽極線ドライブ回路  $2_1$  から出力された制御電流  $i_c$  は、その入力端  $I_{in}$  を介してトランジスタ  $Q_c$  のコレクタ・エミッタ間に流れ。又、駆動電流制御回路  $CC$  におけるトランジスタ  $Q_e$  のエミッタには抵抗  $R_s$  を介して画素駆動電位  $V_{BE}$  が印加されており、そのベース及びコレクタにはトランジスタ  $Q_d$  のコレクタが接続されている。かかるトランジスタ  $Q_d$  のベースは上記トランジスタ  $Q_c$  のコレクタ及びベースに夫々接続されており、そのエミッタは上記抵抗  $R_{Q2}$  を介してアース電位に接地されている。この際、第1陽極線ドライブ回路  $2_1$  のトランジスタ  $Q_o$  と、上記トランジスタ  $Q_c$  、  $Q_d$  、及び  $Q_e$  の各々とは同一特性のトランジスタであり、更に、第1陽極線ドライブ回路  $2_1$  における抵抗  $R_o$  と上記抵抗  $R_s$  とは同一抵抗値である。よって、上記第1陽極線ドライブ回路  $2_1$  から供給された制御電流  $i_c$  と同一の電流が上記トランジスタ  $Q_d$  のコレクタ・エミッタ間に流れ。

【0023】又、第2陽極線ドライブ回路  $2_2$  におけるトランジスタ  $Q_1 \sim Q_n$  各々のエミッタには、抵抗  $R_1 \sim R_n$  各々を介して画素駆動電位  $V_{BE}$  が印加されており、更に、夫々のベースには上記トランジスタ  $Q_e$  のベースが接続されている。この際、上記抵抗  $R_s$  、及び  $R_1 \sim R_n$  各々の抵抗値は同一であり、更に、上記トランジスタ  $Q_1 \sim Q_n$  、  $Q_d$  及び  $Q_e$  の各々は、互いに同一特性を有するものである。よって、上記駆動電流制御回路  $CC$  と、トランジスタ  $Q_1 \sim Q_n$  とは電流ミラー回路を構成することになり、トランジスタ  $Q_1 \sim Q_n$  各々のエミッタ・コレクタ間には、上記第1陽極線ドライブ回路  $2_1$  から供給された制御電流  $i_c$  と同一の電流量を有する発光駆動電流  $i$  が流れ、これが夫々出力される。すなわち、上記駆動電流制御回路  $CC$  により、第2陽極線ドライブ回路  $2_2$  のトランジスタ  $Q_1 \sim Q_n$  各々から出力される発光駆動

電流  $i$  は、第1陽極線ドライブ回路21が output した発光駆動電流と同一の電流量となるように調整されるのである。

【0024】スイッチブロックSBには、上記トランジスタQ1～Qn各々から出力された発光駆動電流  $i$  を夫々、出力端X1～Xnの各々に導出するm個のスイッチング素子S1～Smが設けられている。この際、第2陽極線ドライブ回路22のスイッチブロックSBでは、上記発光制御回路1'から供給された第2駆動データG B1～G Bn各々の論理レベルに応じて、上記スイッチング素子S1～Sm各々が独立してオン／オフ制御される。例えば、第2駆動データG B1が論理レベル"0"のときには、スイッチング素子S1はオフ状態となる一方、かかる第2駆動データG B1が論理レベル"1"のときには、オン状態となってトランジスタQ1から供給された発光駆動電流  $i$  を出力端X1に導出する。又、第2駆動データG Bnが論理レベル"0"のときには、スイッチング素子Smはオフ状態となる一方、論理レベル"1"である場合にはオン状態となってトランジスタQnから供給された発光駆動電流  $i$  を出力端Xnに導出する。このように、第2陽極線ドライブ回路22のトランジスタQ1～Qn各々から出力された発光駆動電流  $i$  は、出力端X1～Xnの各々を介して、図5に示されるように、ELDP10'の陽極線A1～A2nの各々に供給される。

【0025】以上の如く、本発明においては、陽極線ドライブ回路内に、発光駆動電流を発生させる為の電流源(トランジスタQ1～Qn)の他に、この発光駆動電流を、入力された制御電流に応じた電流量に維持する駆動電流制御回路CCと、かかる発光駆動電流自体を制御電流として出力する制御電流输出回路COとを設ける構成としている。ここで、ディスプレイパネルの陽極線を、夫々個別のICチップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第1の陽極線ドライブ回路は、第2の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいて、その出力すべき発光駆動電流の電流量を制御する。よって、例え各ICチップ(陽極線ドライブ回路としての)間に特性のバラツキがあっても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになるのである。

【0026】尚、上記実施例においては、ELDP10'の陽極線A1～A2nを、2つの陽極線ドライブ回路(第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22)で駆動するようにしているが、3つ以上の複数の陽極線ドライブ回路で駆動することも可能である。図8は、かかる点に鑑みて為された本発明によるELディスプレイ装置の他の構成例を示す図である。

【0027】図8において、ELディスプレイパネルとしてのELDP10'には、第1表示ライン～第n表示ライン各々を担う陰極線(金属電極)B1～Bnと、これら

陰極線B1～Bn各々に交叉して配列された3m個の陽極線(透明電極)A1～A3mが形成されている。これら陰極線B1～Bn及び陽極線A1～A3m各々の交叉部に、図1に示されるが如き構造を有するEL素子E1,1～E1,n,3mが形成されている。尚、これらEL素子E1,1～E1,n,3m各々は、ELDP10'としての1画素を担うものである。

【0028】発光制御回路1'は、図9に示されるように、上記ELDP10'の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路30に供給する。陰極線走査回路30は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記ELDP10'の陰極線B1～Bnの内から逐一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位Vccを夫々印加する。

【0029】又、発光制御回路1'は、入力された1画面分(n行、3m列)の画像データをELDP10'の各画素、すなわち上記EL素子E1,1～E1,n,3m各々に対応した画素データD1,1～D1,n,3mに変換し、これを第1列～第m列に属するものと、第m+1列～第2m列に属するものと、第2m+1列～第3m列に属するものとに分割する。この際、上記第1列～第m列に属する画素データを1表示ライン毎にグループ化した画素データD1,1～D1,n,1、D2,1～D2,n,1、D3,1～D3,n,1、…、及びDn,1～Dn,n各々を、図9に示されるが如き第1駆動データG A1～G A1,nとして、順次、陽極線ドライブ回路201に供給する。更に、発光制御回路1'は、上記第m+1列～第2m列に属する画素データを1表示ライン毎にグループ化した画素データD1,n+1～D1,2n、D2,n+1～D2,2n、D3,n+1～D3,2n、…、及びDn,n+1～Dn,2n各々を、図9に示されるが如き第2駆動データG B1～G B1,nとして、順次、陽極線ドライブ回路202に供給する。更に、発光制御回路1'は、上記第2m+1列～第3m列に属する画素データを1表示ライン毎にグループ化した画素データD1,2n+1～D1,3n、D2,2n+1～D2,3n、D3,2n+1～D3,3n、…、及びDn,2n+1～Dn,3n各々を、図9に示されるが如き第3駆動データG C1～G C1,nとして、順次、陽極線ドライブ回路203に供給する。尚、これら第1駆動データG A1～G A1,n、第2駆動データG B1～G B1,n及び第3駆動データG C1～G C1,nの各々は、図9に示されるが如く、上記走査線選択制御信号に同期して順次、各陽極線ドライブ回路201～203の各々に供給される。この際、上記第1駆動データ群G A1～G A1,nとは、ELDP10'の各表示ラインの第1列～第m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。又、上記第2駆動データ群G B1～G B1,nとは、ELDP10'の各表示ラインの第m+1列～第2m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。更に、上記第3駆動データ群G

$C_{1-m}$  とは、 E L D P 1 0 の各表示ラインの第 2 m + 1 列～第 3 m 列各々に属する m 個の E L 素子の各々に対して、発光を実施させるか否かを指定する m 個のデータビットである。例えば、かかるデータビットが論理レベル "1" である場合には発光を実施させる一方、"0" である場合には発光を実施させない。

【0030】基準電流発生回路 200 は、陽極線ドライブ回路 201～203 の各々が、 E L D P 1 0 の陽極線  $A_1 \sim A_{3m}$  の各々に供給すべき発光駆動電流の基準となる基準電流  $I_{REF}$  を発生し、これを陽極線ドライブ回路 201 の入力端  $I_{in}$  に供給する。図 10 は、かかる基準電流発生回路 200 の内部構成を示す図である。

【0031】図 10 に示されるように、基準電流発生回路 200 は、図 7 に示される第 1 陽極線ドライブ回路 21 に含まれる基準電流制御回路 R C と、制御電流出力回路 C O とから構成される。すなわち、これら基準電流制御回路 R C 及び制御電流出力回路 C O からなる電流ミラー回路により、基準電位  $V_{REF}$  と抵抗  $R_P$  とに基づいて決定する基準電流  $I_{REF}$  を発生し、これを陽極線ドライブ回路 201 の入力端  $I_{in}$  に供給するのである。

【0032】ここで、上記陽極線ドライブ回路 201～203 の各々は互いに同一の内部構成を有するものであり、その内部構成を図 11 に示す。図 11 に示されるように、陽極線ドライブ回路 201～203 の各々は、駆動電流制御回路 C C 、制御電流出力回路 C O 、スイッチブロック S B 、並びに、 m 個の電流駆動源としてのトランジスタ  $Q_1 \sim Q_m$  及び抵抗  $R_1 \sim R_m$  から構成される。

【0033】尚、駆動電流制御回路 C C は、図 7 の第 2 陽極線ドライバ回路 22 に搭載されているものと同一であり、上記制御電流出力回路 C O は、図 7 の第 1 陽極線ドライバ回路 21 に搭載されているものと同一である。更に、上記スイッチブロック S B 、トランジスタ  $Q_1 \sim Q_m$  及び抵抗  $R_1 \sim R_m$  からなる構成も、図 7 に示されるものと同一である。

【0034】要するに、図 11 に示されるが如き陽極線ドライブ回路は、その入力端  $I_{in}$  を介して供給された電流に応じた一定の電流を発光駆動電流  $i$  として発生すると共に、この発生した発光駆動電流  $i$  と同一電流量の電流を制御電流  $i_c$  として出力端  $I_{out}$  から出力するのである。従って、陽極線ドライブ回路 201 は、その入力端  $I_{in}$  を介して供給された上記基準電流  $I_{REF}$  と同一電流量を有する m 個の発光駆動電流  $i$  を発生し、これらを上記第 1 駆動データ  $G_{A_{1-m}}$  に応じて E L D P 1 0 の陽極線  $A_1 \sim A_m$  の各々に供給する。更に、陽極線ドライブ回路 201 は、この発光駆動電流  $i$  と同一電流量を有する制御電流  $i_c$  を発生し、これを制御電流  $i_{c1}$  として出力端  $I_{out}$  を介して陽極線ドライブ回路 202 の入力端  $I_{in}$  に供給する。陽極線ドライブ回路 202 は、その入力端  $I_{in}$  から供給された上記制御電流  $i_{c1}$  と同一電流量を有する m 個の発光駆動電流  $i$  を発生し、これらを上記

第 2 駆動データ  $G_{B_{1-m}}$  に応じて E L D P 1 0 の陽極線  $A_{m+1} \sim A_{2m}$  の各々に供給する。更に、陽極線ドライブ回路 202 は、かかる発光駆動電流  $i$  と同一電流量を有する制御電流  $i_c$  を発生し、これを制御電流  $i_{c2}$  として出力端  $I_{out}$  を介して、陽極線ドライブ回路 203 の入力端  $I_{in}$  に供給する。陽極線ドライブ回路 203 は、その入力端  $I_{in}$  から供給された上記制御電流  $i_{c2}$  と同一電流量を有する m 個の発光駆動電流  $i$  を発生し、これを上記第 3 駆動データ  $G_{C_{1-m}}$  に応じて E L D P 1 0 の陽極線  $A_{2m+1} \sim A_{3m}$  の各々に供給するのである。

【0035】尚、上記実施例においては、発光駆動電流源であるトランジスタ  $Q_1 \sim Q_m$  として、バイポーラ型のトランジスタを用いて説明したが、M O S (Metal Oxide Semiconductor) トランジスタで実現するようにしても良い。

#### 【0036】

【発明の効果】以上の如く、本発明においては、ディスプレイパネルの陽極線を夫々個別の I C チップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第 1 の陽極線ドライブ回路は、第 2 の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいてその出力すべき発光駆動電流の電流量を制御するようにしている。

【0037】よって、例え各 I C チップ(陽極線ドライブ回路としての)間に特性のバラツキがあっても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになる。

#### 【図面の簡単な説明】

【図 1】有機エレクトロルミネセンス素子の断面図である。

【図 2】有機エレクトロルミネセンス素子の等価回路を示す図である。

【図 3】 E L ディスプレイ装置の概略構成を示す図である。

【図 4】発光制御回路 1 による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図 5】本発明による E L ディスプレイ装置の概略構成を示す図である。

【図 6】発光制御回路 1 による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図 7】本発明による駆動回路としての第 1 陽極線ドライブ回路 21 及び第 2 陽極線ドライブ回路 22 の内部構成を示す図である。

【図 8】本発明の他の実施例による E L ディスプレイ装置の概略構成を示す図である。

【図 9】発光制御回路 1 による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図 10】基準電流発生回路 200 の内部構成を示す図である。

【図1】本発明の他の実施例による陽極線ドライブ回路201～203各々の内部構成を示す図である。

【符号の説明】

- 1, 1 発光制御回路
- 10, 10 E L D P
- 21 第1陽極線ドライブ回路
- 22 第2陽極線ドライブ回路

200 基準電流発生回路

201～203 陽極線ドライブ回路

A<sub>1</sub>～A<sub>n</sub> 陽極線

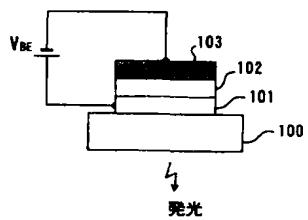
CC 駆動電流制御回路

CO 制御電流输出回路

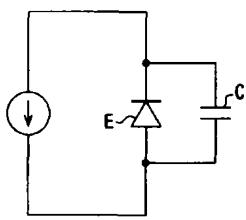
Q<sub>1</sub>～Q<sub>n</sub> ワンジスタ

RC 基準電流制御回路

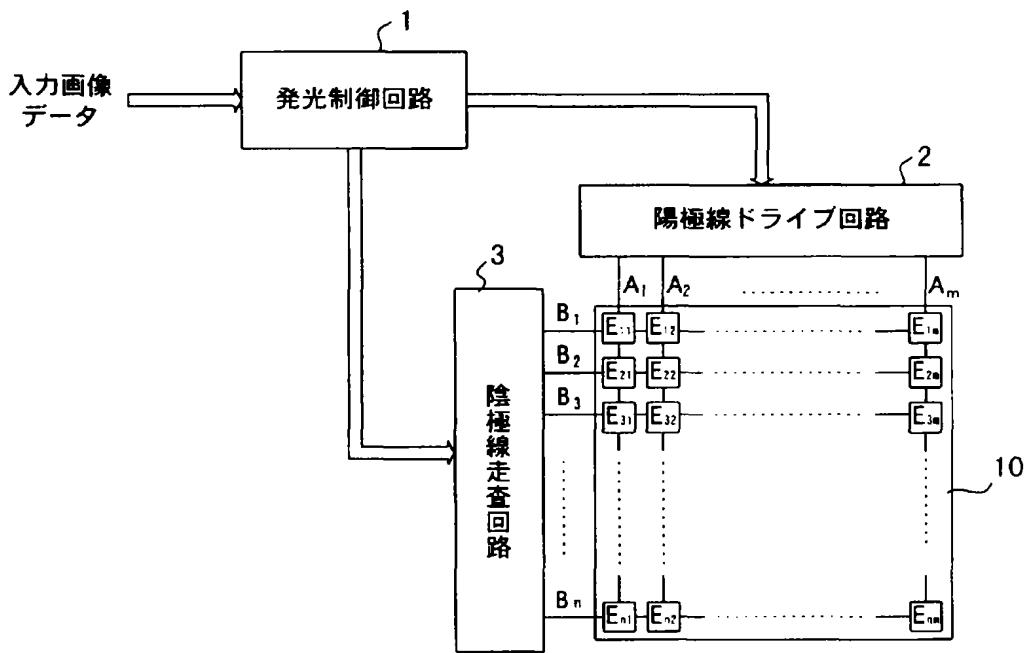
【図1】



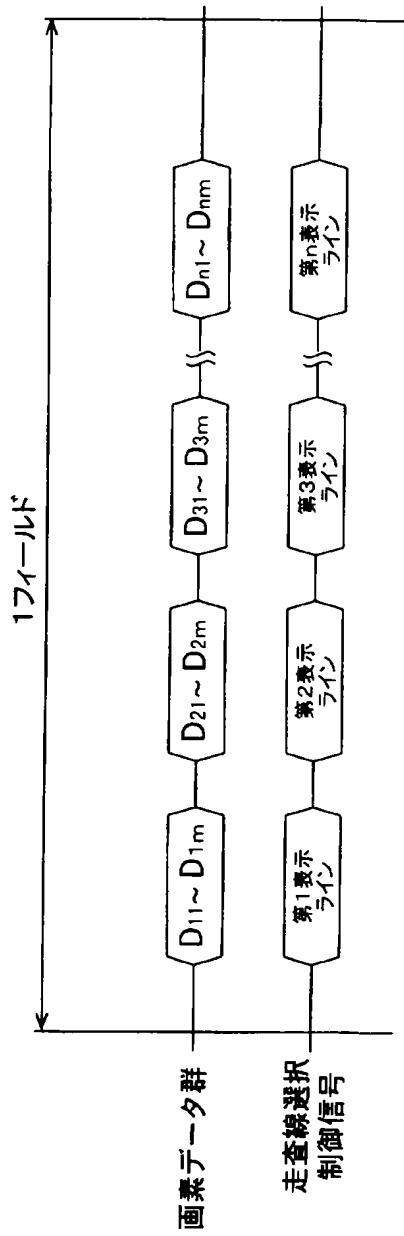
【図2】



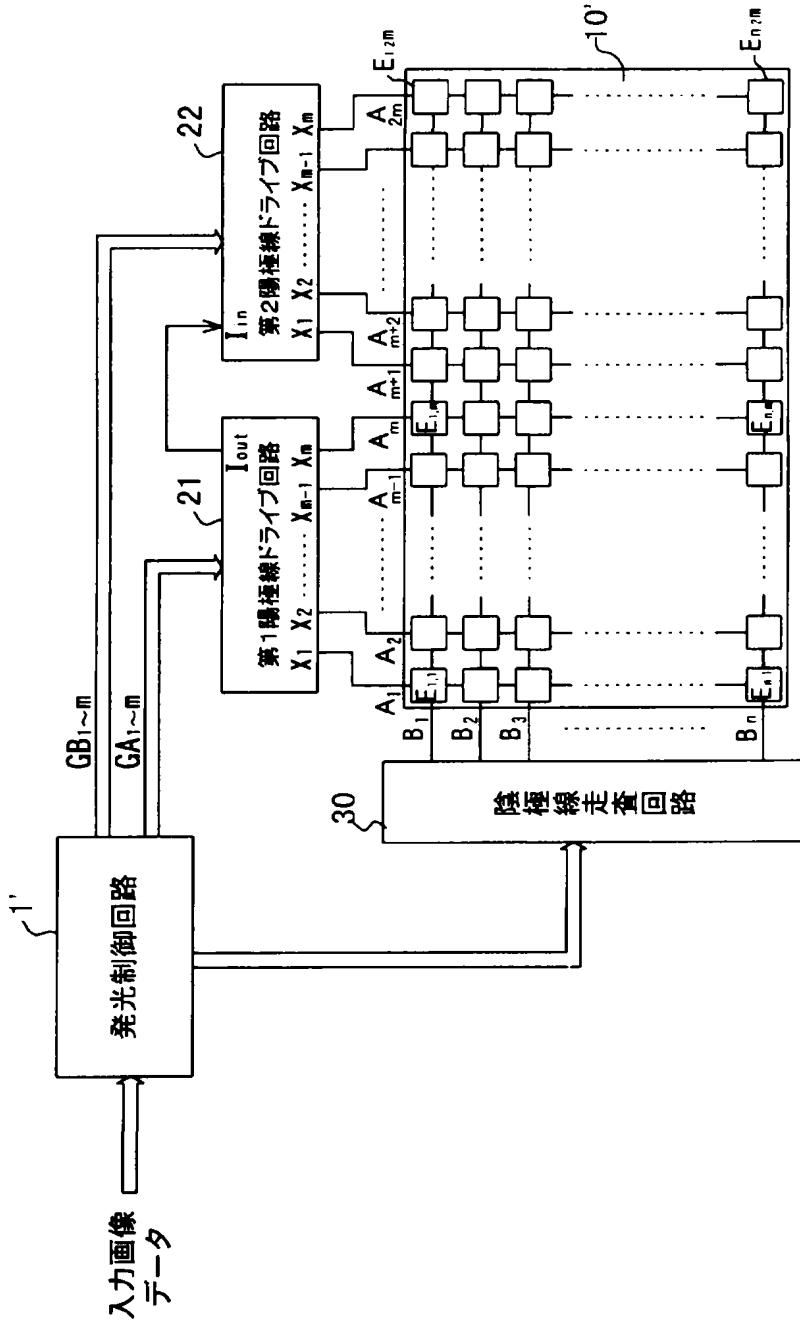
【図3】



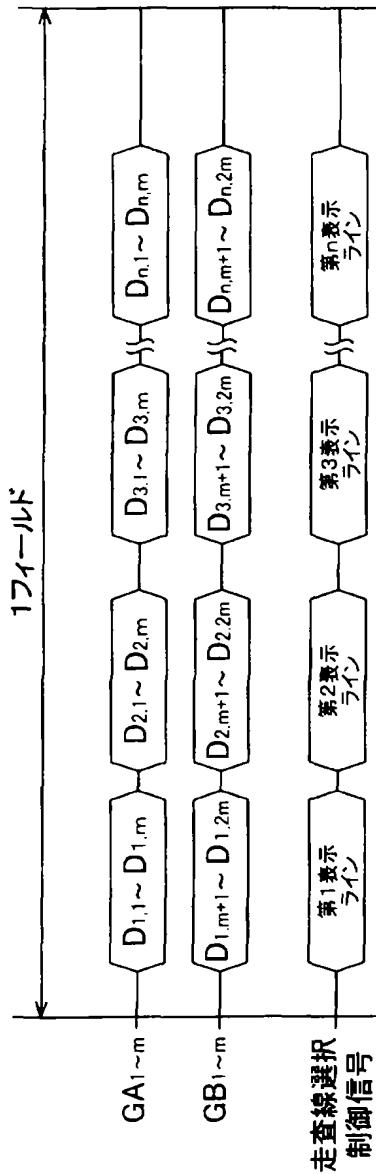
【図4】



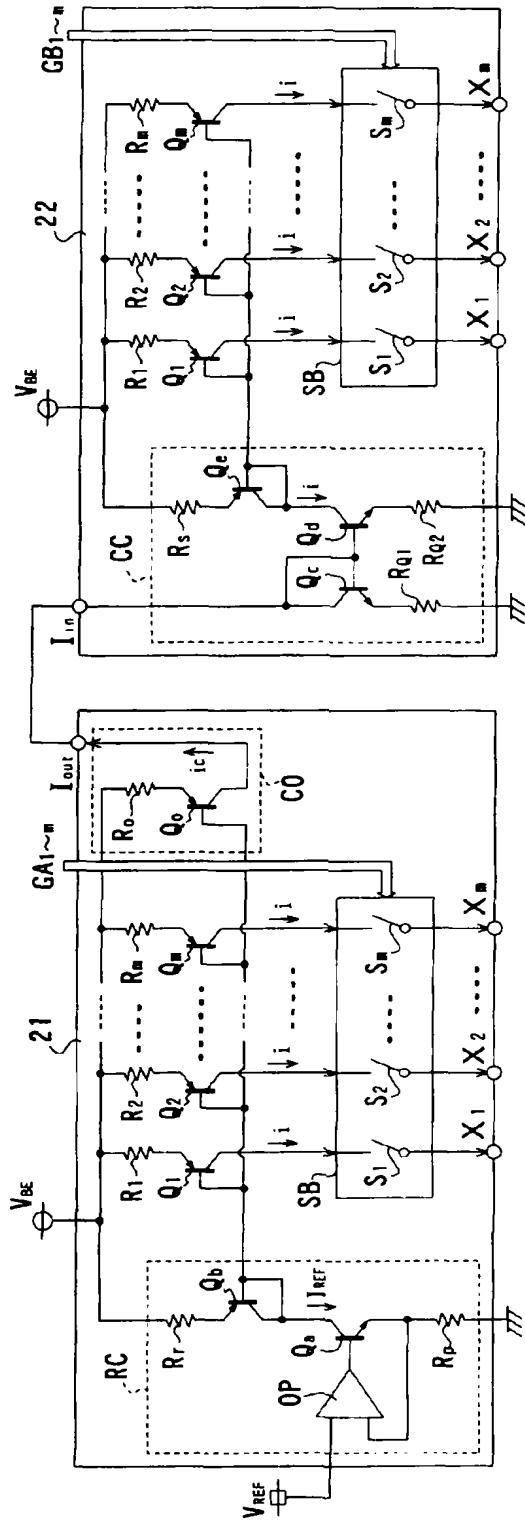
【図5】



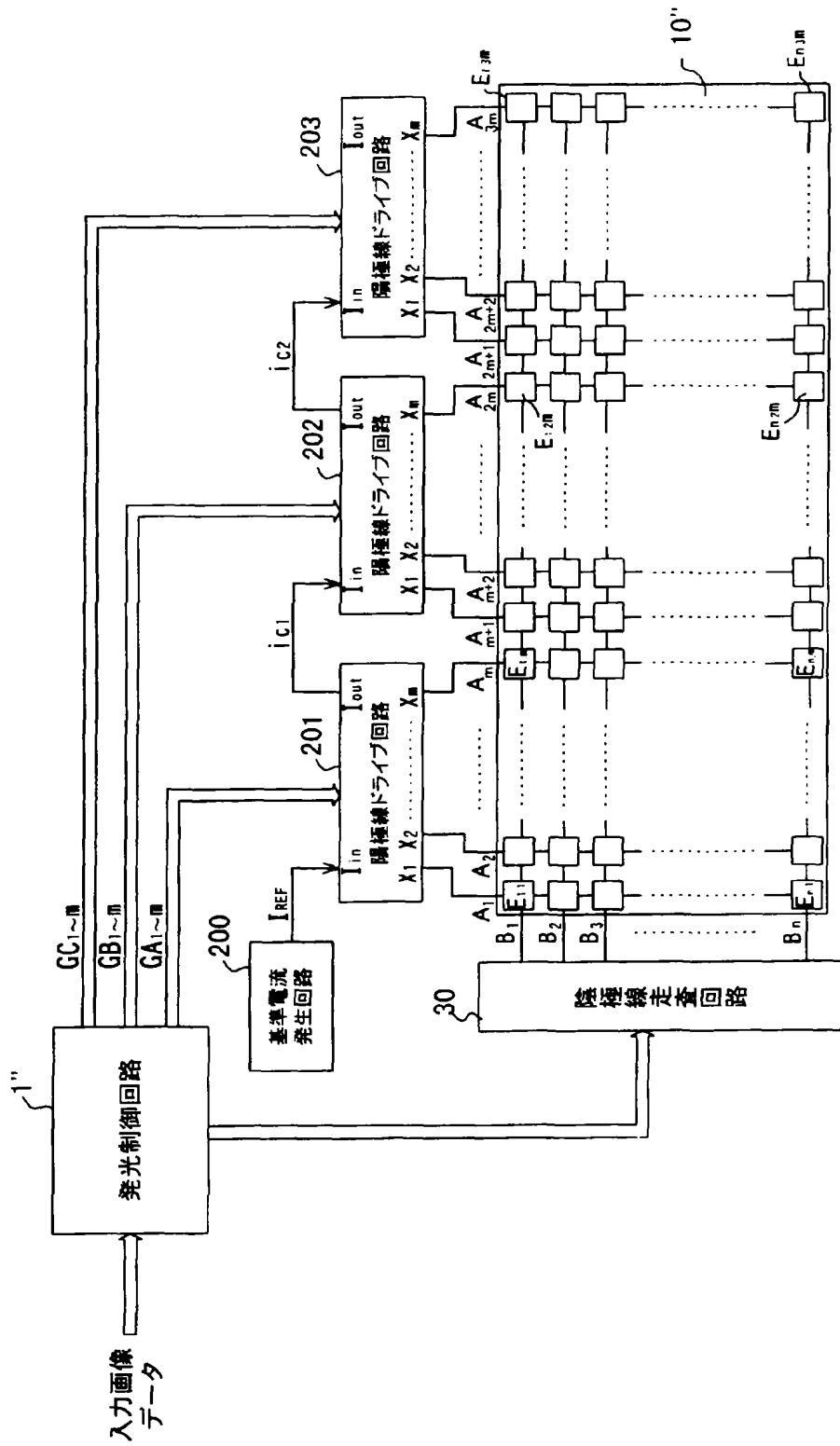
【图6】



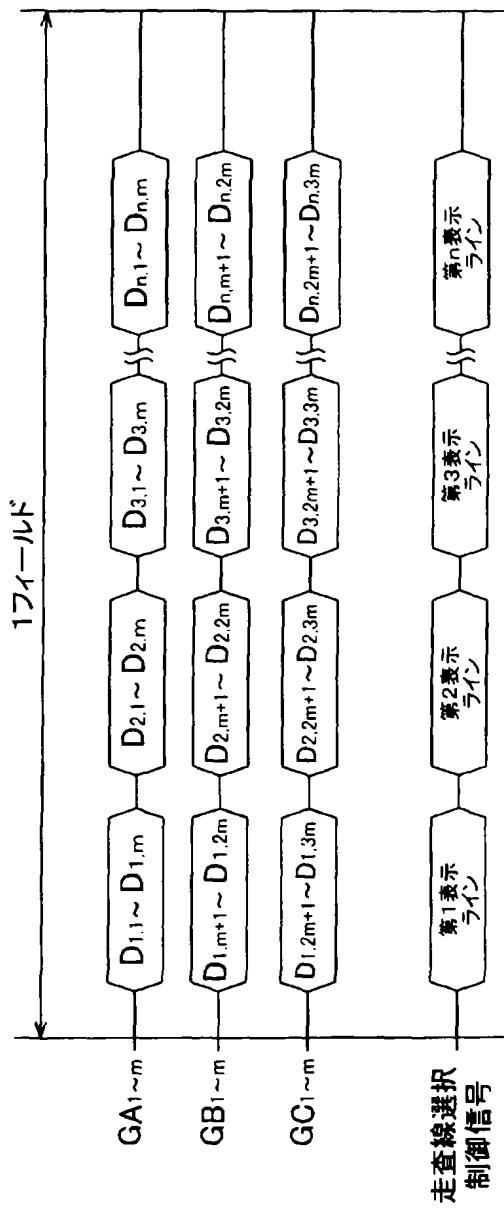
【図7】



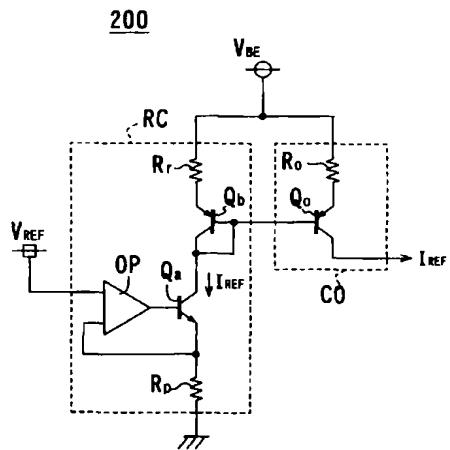
【図8】



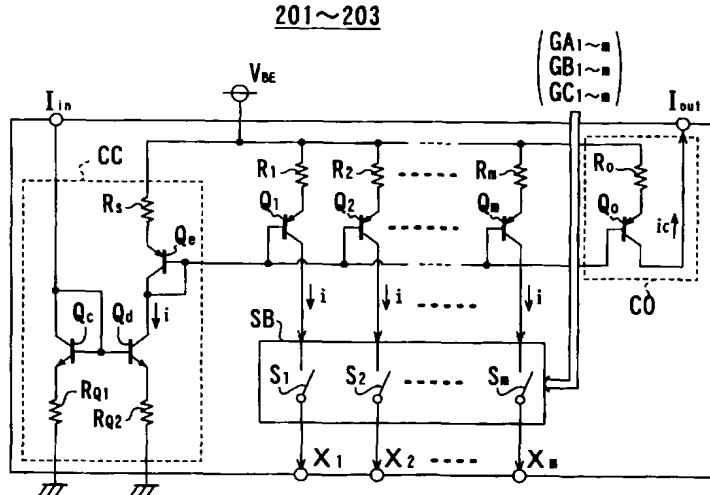
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 坂本 強

埼玉県鶴ヶ島市富士見6丁目1番1号 パ  
イオニア株式会社総合研究所内

(72)発明者 越智 英夫

埼玉県鶴ヶ島市富士見6丁目1番1号 パ  
イオニア株式会社総合研究所内

F ターム(参考) 5C080 AA06 BB05 CC01 DD03 DD05  
DD28 EE28 FF10 FF12 JJ02  
JJ03 JJ04 JJ06  
5C094 AA03 AA07 AA53 AA55 BA29  
CA19 DB01 DB02 EA04 EA05  
GA10